

**ELECTRONIC DEVICE**

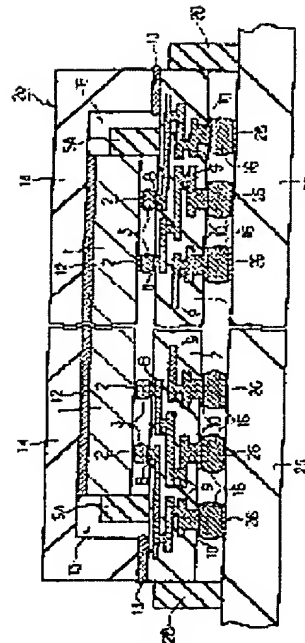
**Patent number:** JP3270030  
**Publication date:** 1991-12-02  
**Inventor:** YOSHIDA IKUO  
**Applicant:** HITACHI LTD  
**Classification:**  
- **International:** H01L21/60  
- **European:**  
**Application number:** JP19900071459 19900319  
**Priority number(s):**

Report a data error here

**Abstract of JP3270030**

**PURPOSE:**To reduce the dislocation, between a solder bump electrode and a terminal, by a mechanical vibration or the like by installing the following on a mounting board: terminals which have been formed on a semiconductor chip, a semiconductor device and the mounting board; and guide means which are used to be aligned with solder bump electrodes corresponding to the terminals.

**CONSTITUTION:**A plurality of terminals 26 are formed, on the device mounting face of a module board 25, in positions corresponding to external terminals 10 of a semiconductor device 20. The terminals 26 are connected to interconnections formed at the inside of the module board 25; the terminals 26 are connected electrically to the external terminals 10 via solder bump electrodes 16. Protruding members (guide members) 28 are formed on the device mounting face of the module board 25; they are used to limit positions at the external circumference of the semiconductor device 20. The guide members 28 are formed in such a way that, e.g. a polyimide-based resin is laminated and, after that, patterned to prescribed shapes. The guide members 28 which have been formed in the prescribed shapes may be fixed and bonded to the device mounting face of the module board 25 by using adhesive.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平3-270030

(43) 公開日 平成3年(1991)12月2日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S		H 0 1 L 21/60 3 1 1 S	

審査請求 未請求

(全13頁)

(21) 出願番号 特願平2-71459

(22) 出願日 平成2年(1990)3月19日

(71) 出願人 000000510

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72) 発明者 吉田 育生

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 秋田 収喜

(54) 【発明の名称】 電子装置

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

## 【特許請求の範囲】

1、半導体チップ又は半導体装置を実装する実装基板の配線端子と前記半導体チップ又は前記半導体装置の外部端子との間を半田バンプ電極を介して電氣的に接続する電子装置において、前記半導体チップ、半導体装置及び実装基板の夫々に設けられている端子と、それらに対応する前記半田バンプ電極との位置合わせを行なうガイド手段を前記実装基板に設けたことを特徴とする電子装置。

2、前記ガイド手段は、前記半導体チップ又は半導体装置の外周部の位置を制限する突起部材を前記実装基板に設けたことを特徴とする特許請求項1に記載の電子装置。

3、前記ガイド手段は、前記半導体チップ又は半導体装置と実装基板との間で、前記半田バンプ電極が機械的振動等によって隣接する半田バンプ電極と接触させない突起部材を、前記実装基板に設けたことを特徴とする前記請求項1に記載の電子装置。

4、前記ガイド手段は、前記半田バンプ電極に対応する実装基板の端子の接触面を、凹状にしたことを特徴とする前記請求項1に記載の電子装置。

## 【発明の詳細な説明】

## 【産業上の利用分野】

本発明は、電子装置に関し、特に、半導体チップの端子又は半導体装置の端子と、実装基板の端子との間を、半田バンプ電極を介して電氣的に接続する電子装置に適用して有効な技術に関するものである。

## 【従来の技術】

ゲートアレイやマイクロコンピュータ等の論理LSIでは、集積回路の多機能化、高密度化に伴い、外部回路との間を接続する端子の数が増大する傾向にある。この結果、半導体チップの周辺部に設けられたボンディングパッドにボンディングワイヤを接続するワイヤボンディング方式の場合、入出力数の増大に伴ってボンディングパッドの配置間隔が小さくなり、ボンディングワイヤの配置間隔が小さくなる。この結果、ボンディングワイヤ同士がショートするという問題がある。また、前記ボンディングパッドまで内部領域の配線を引き回すので、配線長が長くなり、信号伝送遅延が増大するという問題がある。

そこで、前記半導体チップの素子形成面に、内部領域の配線に接続された端子を設け、この端子上に設けた半田バンプ電極を介して、前記半導体チップと外部回路との間を電氣的に接続する方法（フリップチップ方式）が採用されている。

フリップチップ方式は、前記半導体チップの周辺部だけでなく、その内部領域上にも端子を設けることができるので、端子数を増やすことができる。また、前記内部領域上に端子を設けることにより、前記内部領域の配線を半導体チップの周辺部まで引き回すワイヤボンディング方式と比べて配線長は短くなるので、信号伝送遅延を

低減し、動作速度を高速化することができる。

フリップチップ方式に関しては、例えば、IBM社発行、r l B Mジャーナル・オブ・リサーチ・アント・デイベロツプメン1、13巻、No、3（I B M J o u n a l 、 o f R e s e r c h a n d D e v e l o p I l e n t、V o l u m e、

13、No、3）J第230頁乃至第250頁に記載されている。

このフリップチップ方式で製造した半導体装置として、例えばMCC（Micro Chip Carrier）構造のパッケージを採用する半導体装置がある。

この半導体装置は、ベース基板、このベース基板の周囲に接着層を介して接続されたキャップの夫々から構成されるキャビティ内に、半導体チップを気密封止している。前記半導体チップの素子形成面には、複数の端子が設けられている。前記ベース基板のチップ搭載面には、前記半導体チップの端子と対応する位置に、複数の端子が設けられている。このベース基板の端子と、前記半導体チップの端子との間は、半田バンプ電極を介して電氣的に接続されている。

前記ベース基板のチップ搭載面と対向する面には、複数の外部端子が設けられている。この外部端子上には、半田バンプ電極が設けられている。

この半導体装置の製造方法を、以下に簡単に説明する。まず、半導体チップの素子形成面に設けられた外部端子上に、半田バンプ電極を形成する。

次に、前記半導体チップの半田バンプ電極と、ベース基板の端子とを対向させて、前記半導体チップを前記ベース基板上に載置する。この工程では、高精度の位置合わせを行なう必要があり、チップマウント装置を用いて位置合わせを行なっている。

次に、前記半導体チップを前記ベース基板上に載置した状態で、リフロー炉まで搬送する。この後、リフロー工程を行なう。このリフロー工程で、前記半導体チップの外部端子と前記ベース基板の端子との間が、前記半田バンプ電極を介して電氣的に接続される。

この後、前記ベース基板の周囲、及び前記半導体チップの素子形成面と対向する面に接着層を介在させて、キャップを固着する。

次に、前記ベース基板のチップ搭載面と対向する面の端子上に、半田バンプ電極を形成することにより、前記MCC構造のパッケージを採用する半導体装置は完成する。

〔発明が解決しようとする問題点〕

しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見出した。

前記ベース基板上に前記半導体チップを載置した状態でリフロー炉まで搬送する工程では、前記半導体チップは、前記ベース基板上に載置されているだけなので、機械的振動等によって、前記半導体チップに設けられた半田

パンプ電極とベース基板の端子との位置関係がずれてしまう。この結果、半田パンプ電極が対応する端子以外の端子に接続されたり、半導体パンプ電極同士がショートしたりするという問題があった。

前記位置ずれを解決するために、前記チップマウント装置とりフロー炉とを一体にした装置を使用すれば、前記搬送工程をなくすることができる。

しかし、高精度のチップマウント装置とりフロー炉とを一体にすることは技術的に困難である。

また、前記位置ずれを解決するための他の方法として、前記半導体チップとベース基板との間にフラックスを塗付する方法がある。しかし、フラックス中の汚染物質によって、半導体チップが汚染され、電気的特性が劣化するという問題があった。また、フラックスを塗付する工程、及び前記リフロー工程の後でフラックスを除去する工程が必要なので、工程数が増加するという問題があった。また、フラックスを除去する工程では、例えばフロンを使用するので、f A境が汚染されるという問題があった。

また、前記位置ずれを解決するための他の方法として、前記半導体チップを載置した後、前記半導体チップ側から圧力を加えながら熱処理を行なって、前記半田パンプ電極と前記ベース基板の端子とを仮留めする方法がある。しかし、半導体チップに機械的ダメージが加わるために、半導体チップの電気的特性が劣化するという問題があった。

また、熱処理を行なうために、前記半田パンプ電極の表面が酸化され、半田パンプ電極の接合強度が低下するという問題があった。また、この仮留め工程に相当する分、電子装置の製造工程数が増加するという問題があった。また、熱処理工程数が増えると、素子の特性が劣化するという問題があった。

本発明の目的は、半導体チップまたは半導体装置を実装する端子を実装基板に設け、この端子と前記半導体チップの端子または前記半導体装置の端子との間を半田パンプ電極を介して電気的に接続する電子装置において、機械的振動等によって半田パンプ電極と端子との位置関係がずれることを低減することが可能な技術を提供することにある。

本発明の他の目的は、前記電子装置において、半導体チップ及び半導体装置の電気的特性を向上することが可能な技術を提供することにある。

本発明の他の目的は、前記電子装置において、半田パンプ電極の接合強度を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち 1 代表的なものの概

要を簡単に説明すれば、以下のとおりである。

半導体チップ又は半導体装置を実装する実装基板の配線端子と前記半導体チップ又は半導体装置の外部端子との間を半田パンプ電極を介して電気的に接続する電子装置において、前記半導体チップ、半導体装置及び実装基板の夫々に設けられている端子と、それらに対応する前記半田パンプ電極との位置合わせを行なうガイド手段を前記実装基板に設ける。

〔作 用〕

10 前述した手段によれば、前記半導体チップまたは半導体装置を実装基板上に載置した状態でリフロー炉まで搬送する工程では、前記半導体チップまたは半導体装置は、前記実装基板に設けられたているガイド手段によって制限されているので、機械的振動等によって、前記半導体チップまたは半導体装置の半田パンプ電極と、前記実装基板の端子との位置ずれは低減される。従って、半田パンプ電極が対応する端子以外の端子に接続されたり、半田パンプ電極同士がショートしたりすることを低減することができる。

20 また、フラックスを用いずに、前記半導体チップの半田パンプ電極と、実装基板の端子との位置関係がずれることを低減することができるので、フラックス中の汚染物質による半導体チップの汚染を防止することができる。また、このフラックスを塗付する工程及び除去する工程に相当する分、電子装置の製造工程数を低減することができる。

また、フラックスの除去に用いるフロンによって環境が汚染されることを防止することができる。

30 また、前記仮留め工程を行なわないので、半導体チップまたは半導体装置に機械的ダメージが加わることは防止される。従って、半導体チップまたは半導体装置の電気的特性を向上することができる。また、半田パンプ電極の表面は酸化されないで、半田パンプ電極の接合強度を向上することができる。

〔発明の実施例〕

以下、本発明の実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

〔実施例 I〕

本発明の実施例 I の電子装置の概略構成を、第 2 図（要部断面図）を用いて説明する。

第 2 図に示すように、本実施例■の電子装置は、実装基板（モジュール基板）25 の装置実装面に半導体装置 20 を実装している。前記モジュール基板 25 は、例えばムライトで構成されている。このモジュール基板 25 の装置実装面には、前記半導体装置 20 の外部端子 10 と対応する位置に端子 26 が複数個設けられている。この端子 26 は、前記モジュール基板 25 内部に設けられて

いる図示しなし) 配線と接続されている。この端子 2 6 と前記外部端子 1 0 との間は、半田バンプ電極 1 6 を介して電氣的に接続されている。また、前記モジュール基板 2 5 の装置実装面には、突起部材 (ガイド部材) 2 8 が設けられている。このガイド部材 2 8 は、前記半導体装置 2 0 の外周部の位置を制限する。このガイド部材 2 8 は、高分子樹脂例えばポリイミド系樹脂で構成されている。このガイド部材 2 8 は、例えばポリイミド系樹脂を積層 (堆積) した後、所定形状にパターンニングすることにより形成されている。また、所定形状に形成されたガイド部材 2 8 を、前記モジュール基板 2 5 の装置実装面に接着剤を用いて固着しても良い。

前記半導体装置 2 0 は、実装基板 (ベース基板) 7、このベース基板 7 のチップ搭載面の周囲に接着層 1 3 を介して固着されたキャップ 1 4 の夫々から構成されるキャビティ 1 5 内に、半導体チップ 1 を気密封止している。前記半導体チップ 1 の素子形成面には、内部領域の配線に接続された外部端子 2 が複数設けられている。

前記ベース基板 7 は 1 例えばムライト基板で構成されている。このベース基板 7 のチップ搭載面には、前記半導体チップ 1 の外部端子 2 と対応する位置に端子 8 が複数個設けられている。この端子 8 と前記外部端子 2 との間は、半田バンプ電極 3 を介して接続されている。また、このベース基板 7 のチップ実装面には、前記半導体チップ 1 の外周部の位置を制限する突起部材 (ガイド部材) 5 A が設けられている。このガイド部材 5 A は、前記ガイド部材 2 8 と同様の構成になっている。このベース基板 7 の前記チップ実装面と対向する面には、前記外部端子 1 0 が複数個設けられている。この外部端子 1 0 と、前記チップ搭載面の端子 8 との間は、前記ベース基板 7 内部の配線 9 によって電氣的に接続されている。

次に、前記電子装置の製造方法を説明する。

まず、半導体チップ 1 の素子形成面に外部端子 2 を形成する。この後、第 3 図 (製造工程毎に示す要部断面図) に示すように、この外部端子 2 上に半田バンプ電極 3 を形成する。

次に、第 1 図 (製造工程中の斜視図) 及び第 4 図 (第 1 図の A-A 線で切った断面図) に示すように、ベース基板 7 のチップ実装面と前記半導体チップ 1 の素子形成面とを対向させて、前記ベース基板 7 上に前記半導体チップ 1 を載置する。この際、前記半導体チップ 1 の外周部の位置は、前記ガイド部材 5 A で制限されて載置される。前記ガイド部材 5 A は、前記第 1 図に示すように、前記半導体チップ 1 の四辺を制限する位置に設けられている。

次に、前記実装基板 7 上に前記半導体チップ 1 を載置した状態で、リフロー炉まで搬送する。この際、機械的振動等がこの実装基板 7 及び半導体チップ 1 に加わっても、前記半導体チップ 1 の外周部は前記ガイド部材 5 A で制限されているので、前記半田バンプ電極 3 と実装基板

7 の端子 8 との位置ずれは低減される。

次に、リフロー工程を行ない、第 5 図 (製造工程毎に示す要部断面図) に示すように、前記半導体チップ 1 の外部端子 2 と、前記実装基板 7 の端子 8 との間を、前記バンプ電極 3 を介して電氣的に接続する。ここで、前述したように、前記搬送工程で、前記半田バンプ電極 3 と前記実装基板 7 の端子 8 との位置ずれは低減されているので、半田バンプ電極 3 は対応する端子 8 と接続される。従って、半田バンプ電極 3 が対応する端子 8 以外の端子 8 に接続されたり、半田バンプ電極 3 同士がショートしたりすることを低減することができる。

次に、第 6 図 (製造工程毎に示す要部断面図) に示すように、ベース基板 7 の周囲に設けた接着層 1 3、及び半導体チップ 1 の素子形成面と対向する面に設けた接着層 1 2 の夫々を介して、キャップ 1 4 を固着する。この後、前記ベース基板 7 の外部端子 1 0 上に、半田バンプ電極 1 6 を形成することにより、前記半導体装置 2 0 は完成する。

次に、第 7 図 (1 造工程毎に示す要部断面図) に示すように、前記半導体装置 2 0 を、半導体装置 2 0 上、ニ装本する。この際、このベース基板 2 5 の外周部は、ガイド部材 2 8 で位置を制限されて載置される。

次に、前記モジュール基板 2 5 上に前記半導体装置 2 0 を載置した状態で、リフロー炉まで搬送する。

この際、機械的振動等がこのモジュール基板 2 5 及び半導体装置 2 0 に加わっても、前記半導体装置 2 0 の外周部は前記ガイド部材 2 8 で制限されているので、前記半田バンプ電極 1 6 とモジュール基板 2 5 の端子 2 6 との位置ずれは低減される。

次に、リフロー工程を行ない、前記半導体装置 2 0 の外部端子 1 0 と前記モジュール基板 2 5 の端子 2 6 との間を、前記バンプ電極 1 6 を介して電氣的に接続することにより、前記第 2 図に示す本実施例 I の電子装置は完成する。ここで、前述したように、前記搬送工程で、前記半田バンプ電極 1 6 と前記モジュール基板 2 5 の端子 2 6 との位置ずれは低減されているので、半田バンプ電極 1 6 は対応する端子 2 6 と接続される。従って、半田バンプ電極 1 6 が対応する端子 2 6 以外の端子 2 6 に接続されたり、半田バンプ電極 1 6 同士がショートしたりすることを低減することができる。

以上の説明から分かるように、本実施例 I によれば、前記ベース基板 7 上に半導体チップ 1 を載置した状態でリフロー炉まで搬送する工程では、前記半導体チップ 1 と前記ベース基板 7 とは前記ガイド部材 5 A によって制限されているので、機械的振動等によって、前記半導体チップ 1 の半田バンプ電極 3 と、前記ベース基板 7 の端子 8 との位置ずれは低減される。従って、半田バンプ電極 3 が対応する端子 8 以外の端子 8 に接続されたり、半田バンプ電極 3 同士がショートしたりすることを低減することができる。

また、前記モジュール基板 25 上に半導体装置 20 を載置した状態でリフロー炉まで搬送する工程では、前記半導体装置 20 と前記モジュール基板 25 とは前記ガイド部材 28 によって制限されているので、機械的振動等によって、前記半導体装置 20 の半田バンプ電極 16 と、前記モジュール基板 25 の端子 26 との位置ずれは低減される。従って、半田バンプ電極 16 が対応する端子 26 以外の端子 26 に接続されたり、半田バンプ電極 16 同士がショートしたりすることは低減することができる。

また、フラックスを用いずに、前記半導体チップ 1 とベース基板 7 との位置ずれを低減することができるので、フラックス中の汚染物質による半導体チップ 1 の汚染を防止することができる。従って、半導体チップ 1 の電気的特性を向上することができる。また、このフラックスを塗付する工程及び除去する工程に相当する分、電子装置の製造工程数を低減することができる。また、フラックスの除去に用いるフロンによって環境が汚染されることを防止することができる。

また、前記仮留め工程を行なわないので、半導体チップ 1 または半導体装 W 20 に機械的ダメージが加わることを防止することができる。これにより、半導体チップ 1 または半導体装 1 t 20 の電気的特性を向上することができる。また、半田バンプ電極 3 及び 26 の表面は酸化されないの、半田バンプ電極 3 及び 26 の接続強度を向上することができる。

また、第 8 図（製造工程中の斜視図）に示すように、前記半導体チップ 1 の角部の外周部を制限する位置に、突起部材（ガイド部材）5B を配置しても同様の効果を得ることができる。また、この場合、前記モジュール基板 25 には、前記前記半導体装置 20 の角部の外周部を制限する位置に、ガイド部材を配置する。

#### 【実施例■】

本実施例■の電子装置は、第 9 図（製造工程中の斜視図）及び第 10 図（前記第 9 図の B-B 線で切った断面図）に示すように、前記半導体チップ 1 と前記ベース基板 7 との間で、前記ベース基板 7 に突起部材（ガイド部材）5C を設けたものである。このガイド部材 5C は、前記半田バンプ電極 3 の周囲を制限する位置に設けられている。また、このガイド部材 5C は、前記半田バンプ電極 3 が直線的に配置されている領域の周囲を制限する。以上の説明から分かるように、本実施例■によれば、前記実施例 I と同様の効果を得ることができると共に、ガイド部材 5C でバンプ電極 3 の外周部の位置を制限したことにより、前記半導体チップ 1 の外周部よりも寸法精度の良い半田バンプ電極 a を規準に位置合わせを行なっているの、半田バンプ電極 3 とベース基板 7 の端子 8 との位置合わせをより正確に行なうことができる。

なお、前記モジュール基板 25 にも、同様にガイド部材を設ける。

また、第 11 図（製造工程中の斜視図）に示すように、前記半田バンプ電極 3 が直行して配置されている領域の周囲を規定する位置に、突起部材（ガイド部材）5D を設けても同様の効果を得ることができる。

#### 【実施例■】

本実施例■の電子装置は、第 12 図（製造工程中の斜視図）及び第 13 図（前記第 11 図の C-C 線で切った断面図）に示すように、前記半導体チップ 1 と前記ベース基板 7 との間で、前記半田バンプ電極 3 が配置されている領域内に、突起部材（ガイド部材）5E を設けたものである。このガイド部材 5E は、前記半田バンプ電極 3 が機械的振動等によって、隣接する半田バンプ電極 3 と接触しないように構成されている。

以上の説明から分かるように、本実施例■によれば、前記実施例■と同様の効果を得ることができる。

なお、前記モジュール基板 25 にも、同様にガイド部材を設ける。

また、第 14 図（製造工程中の斜視図）に示すように、突起部材（ガイド部材）5F を設けても良い。

#### 【実施例■】

本実施例■の電子装置は、第 15 図（前記第 4 図中二点鎖線で囲った領域りに相当する領域を拡大して示す要部断面図）に示すように、前記半田バンプ電極 3 が当接されるベース基板 7 の端子 8 の接触面を、凹状に構成し、凹部 11 を設けたものである。従って、前記半導体チップ 1 を前記ベース基板 7 上に載置した際には、前記半田バンプ電極 3 は、前記凹部 11 でその位置を制限される。

以上の説明から分かるように、本実施例■によれば、前記半田バンプ電極 3 は、前記端子 8 に設けられた凹部 11 で位置が制限されているので、バンプ電極 3 と端子 8 との位置関係がずれることは低減される。従って、前記実施例 I と同様の効果を得ることができると共に、前記凹部 11 を設けたことにより、前記端子 8 と半田バンプ電極 3 とが接続される面積が増えるので、半田バンプ電極 3 の接続強度を向上することができる。

また、前記半田バンプ電極 16 が当接される実装基板 25 の端子 26 の接触面にも、凹部を設ける。

#### 【実施例 V】

本発明の実施例 V の電子装置は、第 16 図（前記第 4 図中二点鎖線で囲った領域りに相当する領域を拡大して示す要部断面図）に示すように、前記実施例■の電子装置において、前記半田バンプ電極 3 のうち所定の半田バンプ電極 3 の径を大きくし、この径を大きくした半田バンプ電極 3 に対応する端子 8 にのみ凹部 11 を設け、この凹部 11 の深さを前記半田バンプ電極 3 の径に対応して深くしたものである。

以上の説明から分かるように、本実施例■によれば、前記実施例■と同様の効果を得ることができると共に、所定の端子 8 にのみ凹部 11 を形成すれば良いので、この

凹部 11 を形成する工程を簡略化することができる。

また、前記半田バンプ電極 16 のうち所定の半田バンプ電極 16 の径を大きくし、この径の大きい半田バンプ電極 16 が当接される前記実装基板 25 の端子 26 の接触面に、前記径を大きくした半田バンプ電極 16 に対応した凹部を設ける。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、本実前例 I 乃至■では、前記半導体チップ 1 及びベース基板 7 側に、半田バンプ電極 3 及び 16 の夫々を設けた例を示したが 1 本発明は、前記半田バンプ電極 3 をベース基板 7 側に、前記半田バンプ電極 16 を前記モジュール基板 25 側に設けることもできる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである

半導体チップまたは半導体装置を実装する実装基板の配線端子と前記半導体チップまたは半導体装置の外部端子との間を半田バンプ電極を介して電氣的に接続する電子装置において、機械的振動等による半田バンプ電極と端子との位置ずれを低減することができる。

また、前記電子装置において、半導体チップ及び半導体装置の電氣的特性を向上することができる。

また、前記電子装置において、半田バンプ電極の接合強度を向上することができる。

【図面の簡単な説明】

第 1 図は、本発明の実施例 I の電子装置を示す製造工程 30 中での斜視図、

第 2 図は、前記電子装置の要部断面図、第 3 図は、前記電子装置を製造工程毎に示す要部断面図、

第 4 図は、前記第 1 図の A-A 線で切った要部断面図、

第 5 図乃至第 7 図は、前記電子装置を製造工程毎に示す要部断面図、

第 8 図は、本発明の実施例 I の電子装置を示す製造工程中での斜視図、

第 9 図は、本発明の実施例 H の電子装置を示す製造工程中での斜視図、

第 10 図は、前記第 9 図の B-B 線で切った断面図、

第 11 図は、本発明の実施例 H の電子装置を示す製造工程中での斜視図、

第 12 図は、本発明の実施例■の電子装置を示す製造工程中での斜視図、

第 13 図は、前記第 12 図の C-C 線で切った断面図、

第 14 図は、本発明の実施例■の電子装置を示す製造工程中での斜視図。

第 15 図は、前記第 4 図中二点鎖線で囲った領域に相当する領域を拡大して示す、本発明の実施例■の電子装 50

置の要部断面図、

第 16 図は、前記第 4 図中二点鎖線で囲った領域りに相当する領域を拡大して示す、本発明の実施例■の電子装置の要部断面図である。

図中、1・・・半導体チップ、3・・・半田バンプ電極、5A・・・ガイド部材、7・・・ベース基板である。

代理人 弁理士 秋田収喜

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平3-270030

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月2日

H 01 L 21/60

3 1 1 S

6918-4M

審査請求 未請求 請求項の数 4 (全13頁)

⑮ 発明の名称 電子装置

⑯ 特 願 平2-71459

⑰ 出 願 平2(1990)3月19日

⑱ 発 明 者 吉 田 育 生 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 秋田 収 喜

## 明細書

## 1. 発明の名称

電子装置

## 2. 特許請求の範囲

1. 半導体チップ又は半導体装置を実装する実装基板の配線端子と前記半導体チップ又は前記半導体装置の外部端子との間を半田パンパ電極を介して電気的に接続する電子装置において、前記半導体チップ、半導体装置及び実装基板の夫々に設けられている端子と、それらに対応する前記半田パンパ電極との位置合わせを行なうガイド手段を前記実装基板に設けたことを特徴とする電子装置。

2. 前記ガイド手段は、前記半導体チップ又は半導体装置の外周部の位置を制限する突起部材を前記実装基板に設けたことを特徴とする前記請求項1に記載の電子装置。

3. 前記ガイド手段は、前記半導体チップ又は半導体装置と実装基板との間で、前記半田パンパ電極が機械的振動等によって開接する半田パン

パ電極と接触させない突起部材を、前記実装基板に設けたことを特徴とする前記請求項1に記載の電子装置。

4. 前記ガイド手段は、前記半田パンパ電極に対応する実装基板の端子の接触面を、凹状にしたことを特徴とする前記請求項1に記載の電子装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電子装置に関し、特に、半導体チップの端子又は半導体装置の端子と、実装基板の端子との間を、半田パンパ電極を介して電気的に接続する電子装置に適用して有効な技術に関するものである。

〔従来の技術〕

ゲートアレイやマイクロコンピュータ等の論理LSIでは、集積回路の多機能化、高密度化に伴い、外部回路との間を接続する端子の数が増大する傾向にある。この結果、半導体チップの周辺部に設けられたボンディングパッドにボンディング



## 特開平3-270030 (2)

ワイヤを接続するワイヤボンディング方式の場合、入出力数の増大に伴ってボンディングパッドの配置間隔が小さくなり、ボンディングワイヤの配置間隔が小さくなる。この結果、ボンディングワイヤ同士がショートするという問題がある。また、前記ボンディングパッドまで内部領域の配線を引き回すので、配線長が長くなり、信号伝送遅延が増大するという問題がある。

そこで、前記半導体チップの素子形成面に、内部領域の配線に接続された端子を設け、この端子上に設けた半田パンパ電極を介して、前記半導体チップと外部回路との間を電気的に接続する方法(フリップチップ方式)が採用されている。

フリップチップ方式は、前記半導体チップの周辺部だけでなく、その内部領域上にも端子を設けることができるので、端子数を増やすことができる。また、前記内部領域上に端子を設けることにより、前記内部領域の配線を半導体チップの周辺部まで引き回すワイヤボンディング方式と比べて配線長は短くなるので、信号伝送遅延を低減

し、動作速度を高速化することができる。

フリップチップ方式に関しては、例えば、IBM社発行、「IBMジャーナル・オブ・リサーチ・アンド・ディベロップメント、13巻、No.3 (IBM Journal of Research and Development, Volume. 13, No.3)」第230頁乃至第250頁に記載されている。

このフリップチップ方式で製造した半導体装置として、例えばMCC (Micro Chip Carrier)構造のパッケージを採用する半導体装置がある。

この半導体装置は、ベース基板、このベース基板の両面に接着層を介して接続されたキャップの夫々から構成されるキャビティ内に、半導体チップを気密封止している。前記半導体チップの素子形成面には、複数の端子が設けられている。前記ベース基板のチップ搭載面には、前記半導体チップの端子と対応する位置に、複数の端子が設けられている。このベース基板の端子と、前記半導体チップの端子との間は、半田パンパ電極を介して電気的に接続されている。

前記ベース基板のチップ搭載面と対向する面には、複数の外部端子が設けられている。この外部端子には、半田パンパ電極が設けられている。

この半導体装置の製造方法を、以下に簡単に説明する。

まず、半導体チップの素子形成面に設けられた外部端子に、半田パンパ電極を形成する。

次に、前記半導体チップの半田パンパ電極と、ベース基板の端子とを対向させて、前記半導体チップを前記ベース基板上に載置する。この工程では、高精度の位置合わせを行なう必要があり、チップマウント装置を用いて位置合わせを行なっている。

次に、前記半導体チップを前記ベース基板上に載置した状態で、リフロー炉まで搬送する。この後、リフロー工程を行なう。このリフロー工程で、前記半導体チップの外部端子と前記ベース基板の端子との間が、前記半田パンパ電極を介して電気的に接続される。

この後、前記ベース基板の周囲、及び前記半導

体チップの素子形成面と対向する面に接着層を介在させて、キャップを固着する。

次に、前記ベース基板のチップ搭載面と対向する面の端子に、半田パンパ電極を形成することにより、前記MCC構造のパッケージを採用する半導体装置は完成する。

〔発明が解決しようとする課題〕

しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見出した。

前記ベース基板上に前記半導体チップを載置した状態でリフロー炉まで搬送する工程では、前記半導体チップは、前記ベース基板上に載置されているだけなので、機械的振動等によって、前記半導体チップに設けられた半田パンパ電極とベース基板の端子との位置関係がずれてしまう。この結果、半田パンパ電極が対応する端子以外の端子に接続されたり、半導体パンパ電極同士がショートしたりするという問題があった。

前記位置ずれを解決するために、前記チップマウント装置とリフロー炉とを一体にした装置を使

## 特開平3-270030(3)

用すれば、前記搬送工程をなくすることができる。しかし、高精度のチップマウント装置とリフロー炉とを一体にすることは技術的に困難である。

また、前記位置ずれを解決するための他の方法として、前記半導体チップとベース基板との間にフラックスを塗付する方法がある。しかし、フラックス中の汚染物質によって、半導体チップが汚染され、電気的特性が劣化するという問題があった。また、フラックスを塗付する工程、及び前記リフロー工程の後でフラックスを除去する工程が必要なので、工程数が増加するという問題があった。また、フラックスを除去する工程では、例えばフロンを使用するので、環境が汚染されるという問題があった。

また、前記位置ずれを解決するための他の方法として、前記半導体チップを載置した後、前記半導体チップ側から圧力を加えながら熱処理を行なって、前記半田パンプ電極と前記ベース基板の端子とを仮留めする方法がある。しかし、半導体チップに機械的ダメージが加わるために、半導体チ

ップの電気的特性が劣化するという問題があった。また、熱処理を行なうために、前記半田パンプ電極の表面が酸化され、半田パンプ電極の接合強度が低下するという問題があった。また、この仮留め工程に相当する分、電子装置の製造工程数が増加するという問題があった。また、熱処理工程数が増えると、素子の特性が劣化するという問題があった。

本発明の目的は、半導体チップまたは半導体装置を実装する端子を実装基板に設け、この端子と前記半導体チップの端子または前記半導体装置の端子との間を半田パンプ電極を介して電気的に接続する電子装置において、機械的振動等によって半田パンプ電極と端子との位置関係がずれることを低減することが可能な技術を提供することにある。

本発明の他の目的は、前記電子装置において、半導体チップ及び半導体装置の電気的特性を向上することが可能な技術を提供することにある。

本発明の他の目的は、前記電子装置において、

半田パンプ電極の接合強度を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

半導体チップ又は半導体装置を実装する実装基板の配線端子と前記半導体チップ又は半導体装置の外部端子との間を半田パンプ電極を介して電気的に接続する電子装置において、前記半導体チップ、半導体装置及び実装基板の夫々に設けられている端子と、それらに対応する前記半田パンプ電極との位置合わせを行なうガイド手段を前記実装基板に設ける。

## 〔作用〕

前述した手段によれば、前記半導体チップまたは半導体装置を実装基板上に載置した状態でリフ

ロー炉まで搬送する工程では、前記半導体チップまたは半導体装置は、前記実装基板に設けられているガイド手段によって制限されているので、機械的振動等によって、前記半導体チップまたは半導体装置の半田パンプ電極と、前記実装基板の端子との位置ずれは低減される。従って、半田パンプ電極が対応する端子以外の端子に接続されたり、半田パンプ電極同士がショートしたりすることを低減することができる。

また、フラックスを用いずに、前記半導体チップの半田パンプ電極と、実装基板の端子との位置関係がずれることを低減することができるので、フラックス中の汚染物質による半導体チップの汚染を防止することができる。また、このフラックスを塗付する工程及び除去する工程に相当する分、電子装置の製造工程数を低減することができる。また、フラックスの除去に用いるフロンによって環境が汚染されることを防止することができる。

また、前記仮留め工程を行なわないので、半導体チップまたは半導体装置に機械的ダメージが加

## 特開平3-270030(4)

あることは防止される。従って、半導体チップまたは半導体装置の電気的特性を向上することができる。また、半田バンプ電極の表面は酸化されないで、半田バンプ電極の接続強度を向上することができる。

## 〔発明の実施例〕

以下、本発明の実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

## 〔実施例1〕

本発明の実施例1の電子装置の概略構成を、第2図(要部断面図)を用いて説明する。

第2図に示すように、本実施例1の電子装置は、実装基板(モジュール基板)25の装置実装面に半導体装置20を実装している。前記モジュール基板25は、例えばムライトで構成されている。このモジュール基板25の装置実装面には、前記半導体装置20の外部端子10と対応する位置に端子26が複数個

には、内部領域の配線に接続された外部端子2が複数設けられている。

前記ベース基板7は、例えばムライト基板で構成されている。このベース基板7のチップ搭載面には、前記半導体チップ1の外部端子2と対応する位置に端子8が複数個設けられている。この端子8と前記外部端子2との間は、半田バンプ電極3を介して接続されている。また、このベース基板7のチップ実装面には、前記半導体チップ1の外周部の位置を制限する突起部材(ガイド部材)5Aが設けられている。このガイド部材5Aは、前記ガイド部材28と同様の構成になっている。このベース基板7の前記チップ実装面と対向する面には、前記外部端子10が複数個設けられている。この外部端子10と、前記チップ搭載面の端子8との間は、前記ベース基板7内部の配線9によって電気的に接続されている。

次に、前記電子装置の製造方法を説明する。

まず、半導体チップ1の素子形成面に外部端子2を形成する。この後、第3図(製造工程毎に示

設けられている。この端子26は、前記モジュール基板25内部に設けられている図示しない配線と接続されている。この端子26と前記外部端子10との間は、半田バンプ電極16を介して電気的に接続されている。また、前記モジュール基板25の装置実装面には、突起部材(ガイド部材)28が設けられている。このガイド部材28は、前記半導体装置20の外周部の位置を制限する。このガイド部材28は、高分子樹脂例えばポリイミド系樹脂で構成されている。このガイド部材28は、例えばポリイミド系樹脂を積層(堆積)した後、所定形状にパターンニングすることにより形成されている。また、所定形状に形成されたガイド部材28を、前記モジュール基板25の装置実装面に接着剤を用いて固着しても良い。

前記半導体装置20は、実装基板(ベース基板)7、このベース基板7のチップ搭載面の周囲に接着層13を介して固着されたキャップ14の夫々から構成されるキャビティ15内に、半導体チップ1を気密封止している。前記半導体チップ1の素子形成面

す要部断面図)に示すように、この外部端子2上に半田バンプ電極3を形成する。

次に、第1図(製造工程中の斜視図)及び第4図(第1図のA-A線で切った断面図)に示すように、ベース基板7のチップ実装面と前記半導体チップ1の素子形成面とを対向させて、前記ベース基板7上に前記半導体チップ1を載置する。この際、前記半導体チップ1の外周部の位置は、前記ガイド部材5Aで制限されて載置される。前記ガイド部材5Aは、前記第1図に示すように、前記半導体チップ1の四辺を制限する位置に設けられている。

次に、前記実装基板7上に前記半導体チップ1を載置した状態で、リフロー炉まで製造する。この際、機械的振動等がこの実装基板7及び半導体チップ1に加わっても、前記半導体チップ1の外周部は前記ガイド部材5Aで制限されているので、前記半田バンプ電極3と実装基板7の端子8との位置ずれは低減される。

次に、リフロー工程を行ない、第5図(製造工

## 特開平3-270030 (5)

程毎に示す要部断面図)に示すように、前記半導体チップ1の外部端子2と、前記実装基板7の端子8との間を、前記半田パンプ電極3を介して電気的に接続する。ここで、前述したように、前記搬送工程で、前記半田パンプ電極3と前記実装基板7の端子8との位置ずれは低減されているので、半田パンプ電極3は対応する端子8と接続される。従って、半田パンプ電極3が対応する端子8以外の端子8に接続されたり、半田パンプ電極3同士がショートしたりすることを低減することができる。

次に、第6図(製造工程毎に示す要部断面図)に示すように、ベース基板7の周囲に設けた接着層13、及び半導体チップ1の素子形成面と対向する面に設けた接着層12の夫々を介して、キャップ14を固着する。この後、前記ベース基板7の外部端子10上に、半田パンプ電極16を形成することにより、前記半導体装置20は完成する。

次に、第7図(製造工程毎に示す要部断面図)に示すように、前記半導体装置20を、半導体装置20

上に設置する。この際、このベース基板25の外周部は、ガイド部材28で位置を制限されて設置される。

次に、前記モジュール基板25上に前記半導体装置20を設置した状態で、リフロー炉まで搬送する。この際、機械的振動等がこのモジュール基板25及び半導体装置20に加わっても、前記半導体装置20の外周部は前記ガイド部材28で制限されているので、前記半田パンプ電極16とモジュール基板25の端子26との位置ずれは低減される。

次に、リフロー工程を行ない、前記半導体装置20の外部端子10と前記モジュール基板25の端子26との間を、前記半田パンプ電極16を介して電気的に接続することにより、前記第2図に示す本実施例1の電子装置は完成する。ここで、前述したように、前記搬送工程で、前記半田パンプ電極16と前記モジュール基板25の端子26との位置ずれは低減されているので、半田パンプ電極16は対応する端子26と接続される。従って、半田パンプ電極16が対応する端子26以外の端子26に接続されたり、半田パ

ンプ電極16同士がショートしたりすることを低減することができる。

以上の説明から分かるように、本実施例1によれば、前記ベース基板7上に半導体チップ1を設置した状態でリフロー炉まで搬送する工程では、前記半導体チップ1と前記ベース基板7とは前記ガイド部材5Aによって制限されているので、機械的振動等によって、前記半導体チップ1の半田パンプ電極3と、前記ベース基板7の端子8との位置ずれは低減される。従って、半田パンプ電極3が対応する端子8以外の端子8に接続されたり、半田パンプ電極3同士がショートしたりすることを低減することができる。

また、前記モジュール基板25上に半導体装置20を設置した状態でリフロー炉まで搬送する工程では、前記半導体装置20と前記モジュール基板25とは前記ガイド部材28によって制限されているので、機械的振動等によって、前記半導体装置20の半田パンプ電極16と、前記モジュール基板25の端子26との位置ずれは低減される。従って、半田パンプ

電極16が対応する端子26以外の端子26に接続されたり、半田パンプ電極16同士がショートしたりすることは低減することができる。

また、フラックスを用いずに、前記半導体チップ1とベース基板7との位置ずれを低減することができるので、フラックス中の汚染物質による半導体チップ1の汚染を防止することができる。従って、半導体チップ1の電気的特性を向上することができる。また、このフラックスを塗付する工程及び除去する工程に相当する分、電子装置の製造工程数を低減することができる。また、フラックスの除去に用いるフロンによって環境が汚染されることを防止することができる。

また、前記仮留め工程を行なわないので、半導体チップ1または半導体装置20に機械的ダメージが加わることを防止することができる。これにより、半導体チップ1または半導体装置20の電気的特性を向上することができる。また、半田パンプ電極3及び26の表面は酸化されないので、半田パンプ電極3及び26の接続強度を向上することがで

## 特開平3-270030 (6)

きる。

また、第8図(製造工程中の斜視図)に示すように、前記半導体チップ1の角部の外周部を制限する位置に、突起部材(ガイド部材)5Bを配置しても同様の効果を得ることができる。また、この場合、前記モジュール基板25には、前記前記半導体装置20の角部の外周部を制限する位置に、ガイド部材を配置する。

## 【実施例Ⅱ】

本実施例Ⅱの電子装置は、第9図(製造工程中の斜視図)及び第10図(前記第9図のB-B線で切った断面図)に示すように、前記半導体チップ1と前記ベース基板7との間で、前記ベース基板7に突起部材(ガイド部材)5Cを設けたものである。このガイド部材5Cは、前記半田ポンプ電極3の周囲を制限する位置に設けられている。また、このガイド部材5Cは、前記半田ポンプ電極3が直線的に配置されている領域の周囲を制限する。

以上の説明から分かるように、本実施例Ⅱによ

材(ガイド部材)5Eを設けたものである。このガイド部材5Eは、前記半田ポンプ電極3が機械的振動等によって、開接する半田ポンプ電極3と接触しないように構成されている。

以上の説明から分かるように、本実施例Ⅲによれば、前記実施例Ⅱと同様の効果を得ることができる。

なお、前記モジュール基板25にも、同様にガイド部材を設ける。

また、第14図(製造工程中の斜視図)に示すように、突起部材(ガイド部材)5Fを設けても良い。

## 【実施例Ⅳ】

本実施例Ⅳの電子装置は、第15図(前記第4図中二点鎖線で囲った領域Dに相当する領域を拡大して示す要部断面図)に示すように、前記半田ポンプ電極3が当接されるベース基板7の端子8の接触面を、凹状に構成し、凹部11を設けたものである。従って、前記半導体チップ1を前記ベース基板7上に載置した際には、前記半田ポンプ電極3は、前記凹部11でその位置を制限される。

れば、前記実施例Ⅰと同様の効果を得ることができると共に、ガイド部材5Cで半田ポンプ電極3の外周部の位置を制限したことにより、前記半導体チップ1の外周部よりも寸法精度の良い半田ポンプ電極3を周準に位置合わせを行なっているため、半田ポンプ電極3とベース基板7の端子8との位置合わせをより正確に行なうことができる。

なお、前記モジュール基板25にも、同様にガイド部材を設ける。

また、第11図(製造工程中の斜視図)に示すように、前記半田ポンプ電極3が直行して配置されている領域の周囲を規定する位置に、突起部材(ガイド部材)5Dを設けても同様の効果を得ることができる。

## 【実施例Ⅴ】

本実施例Ⅴの電子装置は、第12図(製造工程中の斜視図)及び第13図(前記第11図のC-C線で切った断面図)に示すように、前記半導体チップ1と前記ベース基板7との間で、前記半田ポンプ電極3が配置されている領域内に、突起部

以上の説明から分かるように、本実施例Ⅳによれば、前記半田ポンプ電極3は、前記端子8に設けられた凹部11で位置が制限されているので、半田ポンプ電極3と端子8との位置関係がずれることは低減される。従って、前記実施例Ⅰと同様の効果を得ることができると共に、前記凹部11を設けたことにより、前記端子8と半田ポンプ電極3とが接続される面積が増えるので、半田ポンプ電極3の接続強度を向上することができる。

また、前記半田ポンプ電極16が当接される実装基板25の端子26の接触面にも、凹部を設ける。

## 【実施例Ⅵ】

本発明の実施例Ⅵの電子装置は、第16図(前記第4図中二点鎖線で囲った領域Dに相当する領域を拡大して示す要部断面図)に示すように、前記実施例Ⅳの電子装置において、前記半田ポンプ電極3のうち所定の半田ポンプ電極3の径を大きくし、この径を大きくした半田ポンプ電極3に対応する端子8にのみ凹部11を設け、この凹部11の深さを前記半田ポンプ電極3の径に対応して深く

## 特開平3-270030 (7)

したものである。

以上の説明から分かるように、本実施例Ⅴによれば、前記実施例Ⅳと同様の効果を得ることができると共に、所定の端子8にのみ凹部11を形成すれば良いので、この凹部11を形成する工程を簡略化することができる。

また、前記半田パンプ電極16のうち所定の半田パンプ電極16の径を大きくし、この径の大きい半田パンプ電極16が当接される前記実装基板25の端子25の接触面に、前記径を大きくした半田パンプ電極16に対応した凹部を設ける。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、本実施例Ⅰ乃至Ⅴでは、前記半導体チップ1及びベース基板7側に、半田パンプ電極3及び16の夫々を設けた例を示したが、本発明は、前記半田パンプ電極3をベース基板7側に、前記半田パンプ電極16を前記モジュール基板25側に設

けることもできる。

## 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである

半導体チップまたは半導体装置を実装する実装基板の配線端子と前記半導体チップまたは半導体装置の外部端子との間を半田パンプ電極を介して電気的に接続する電子装置において、機械的振動等による半田パンプ電極と端子との位置ずれを低減することができる。

また、前記電子装置において、半導体チップ及び半導体装置の電気的特性を向上することができる。

また、前記電子装置において、半田パンプ電極の接合強度を向上することができる。

## 4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰの電子装置を示す製造工程中での斜視図。

第2図は、前記電子装置の要部断面図。

第3図は、前記電子装置を製造工程毎に示す要部断面図。

第4図は、前記第1図のA-A線で切った要部断面図。

第5図乃至第7図は、前記電子装置を製造工程毎に示す要部断面図。

第8図は、本発明の実施例Ⅰの電子装置を示す製造工程中での斜視図。

第9図は、本発明の実施例Ⅱの電子装置を示す製造工程中での斜視図。

第10図は、前記第9図のB-B線で切った断面図。

第11図は、本発明の実施例Ⅲの電子装置を示す製造工程中での斜視図。

第12図は、本発明の実施例Ⅲの電子装置を示す製造工程中での斜視図。

第13図は、前記第12図のC-C線で切った断面図。

第14図は、本発明の実施例Ⅲの電子装置を示す製造工程中での斜視図。

第15図は、前記第4図中二点鎖線Dで囲った領域に相当する領域を拡大して示す、本発明の実施例Ⅳの電子装置の要部断面図。

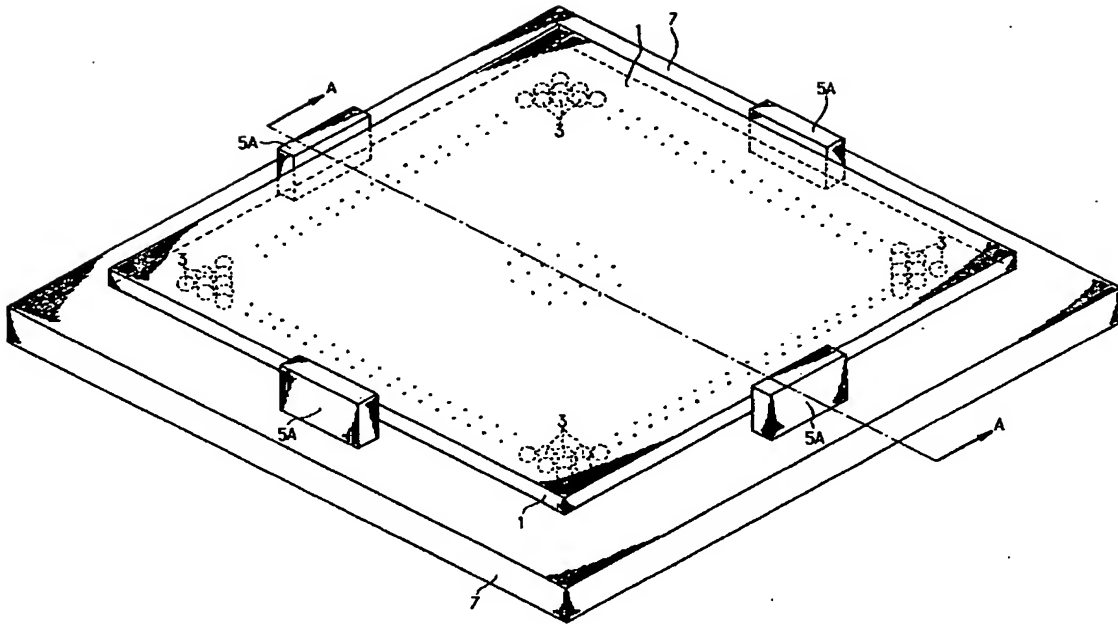
第16図は、前記第4図中二点鎖線で囲った領域Dに相当する領域を拡大して示す、本発明の実施例Ⅳの電子装置の要部断面図である。

図中、1…半導体チップ、3…半田パンプ電極、5A…ガイド部材、7…ベース基板である。

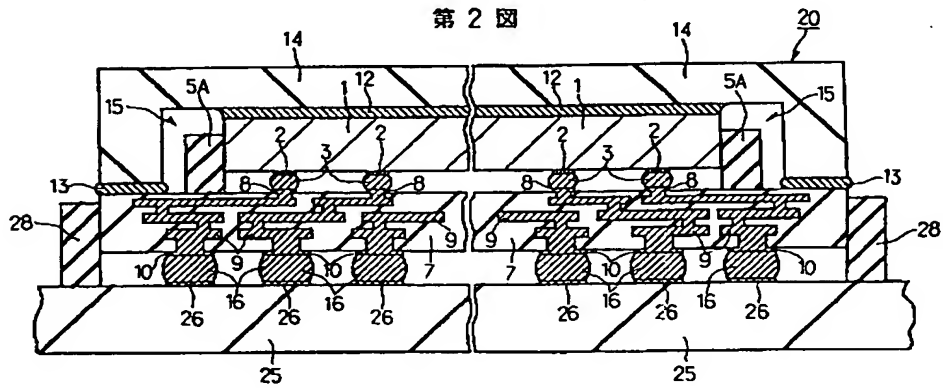
代理人 弁理士 秋田取喜

特開平3-270030(8)

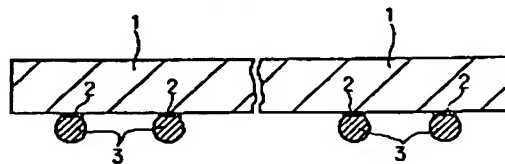
第1図



第2図

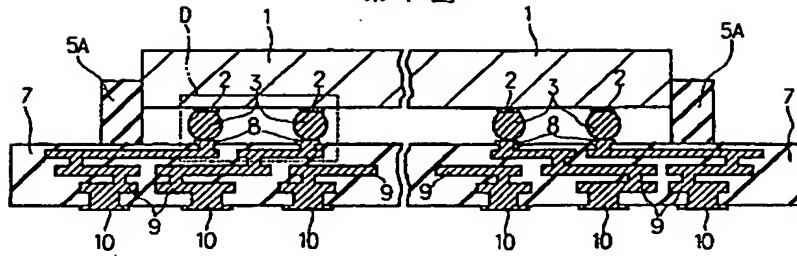


第3図

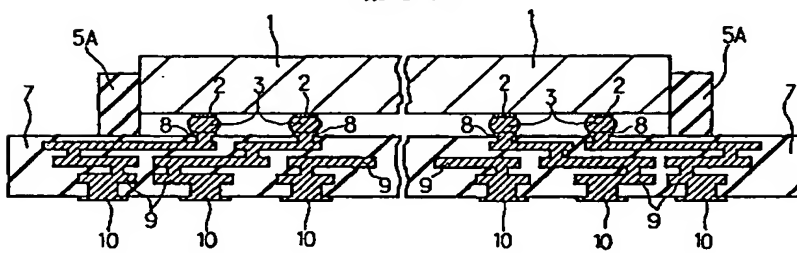


特開平3-270030(9)

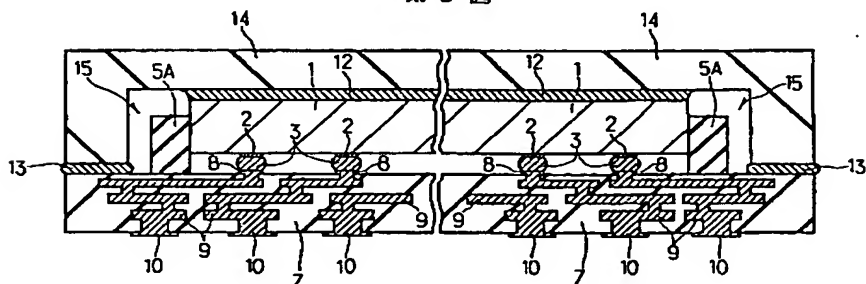
第 4 図



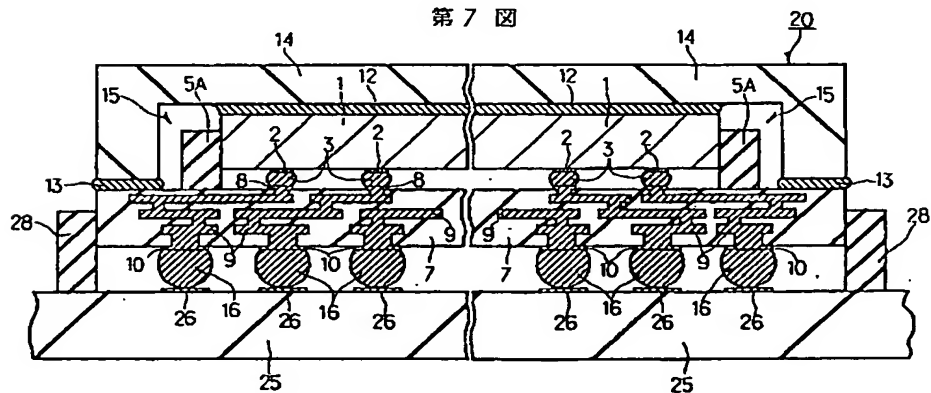
第 5 図



第 6 図



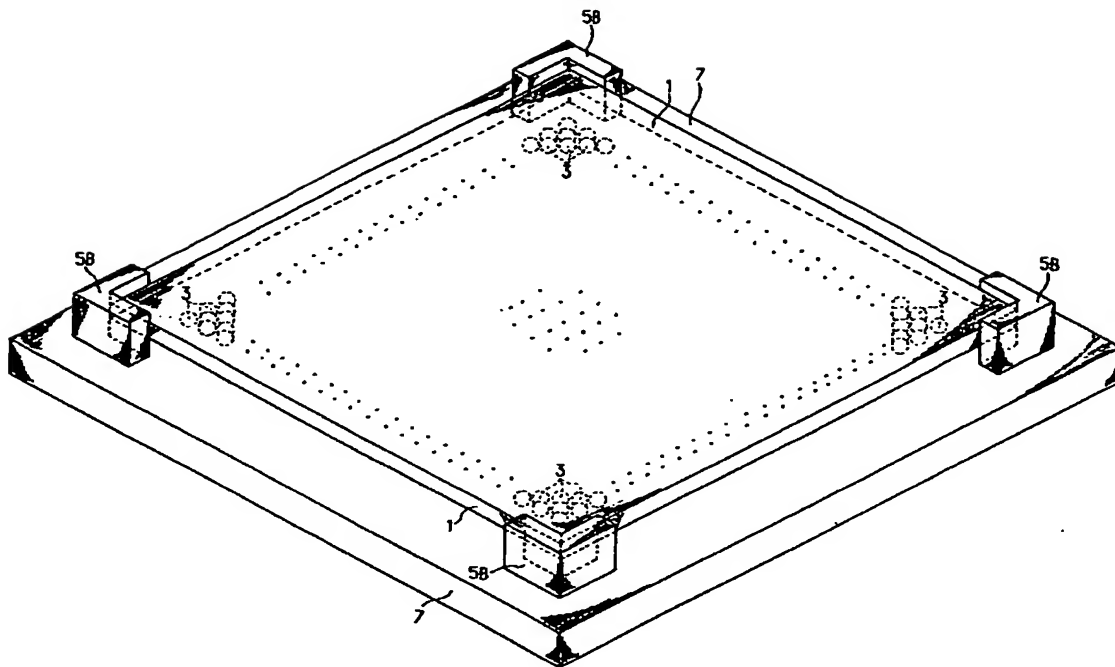
第 7 図



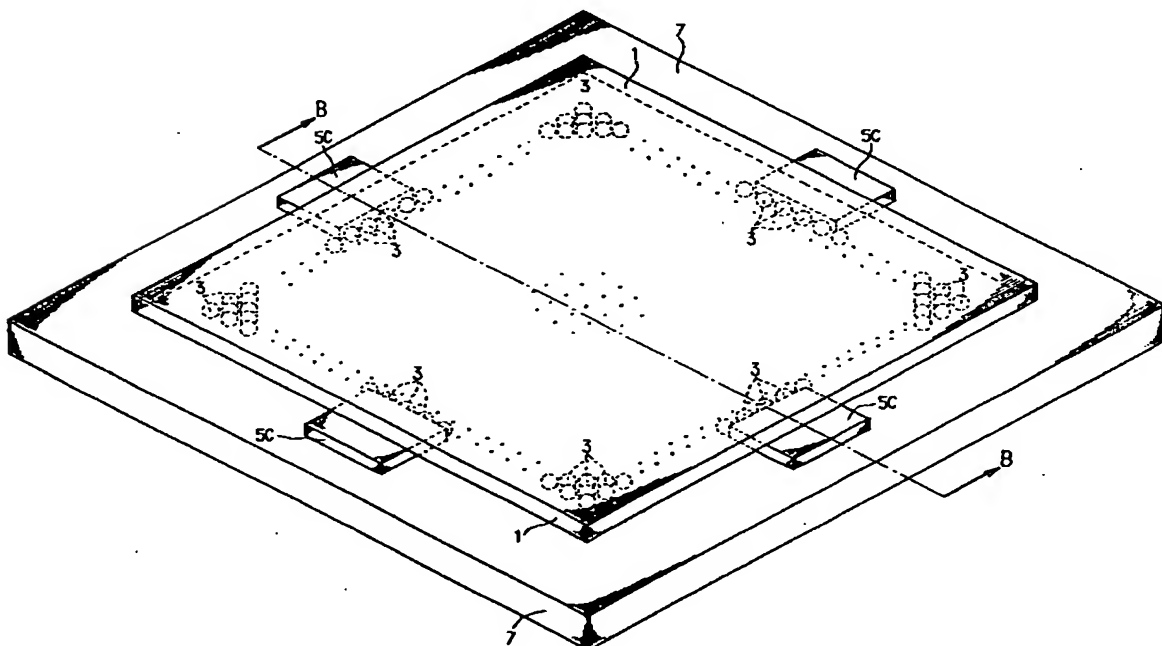


特開平3-270030 (10)

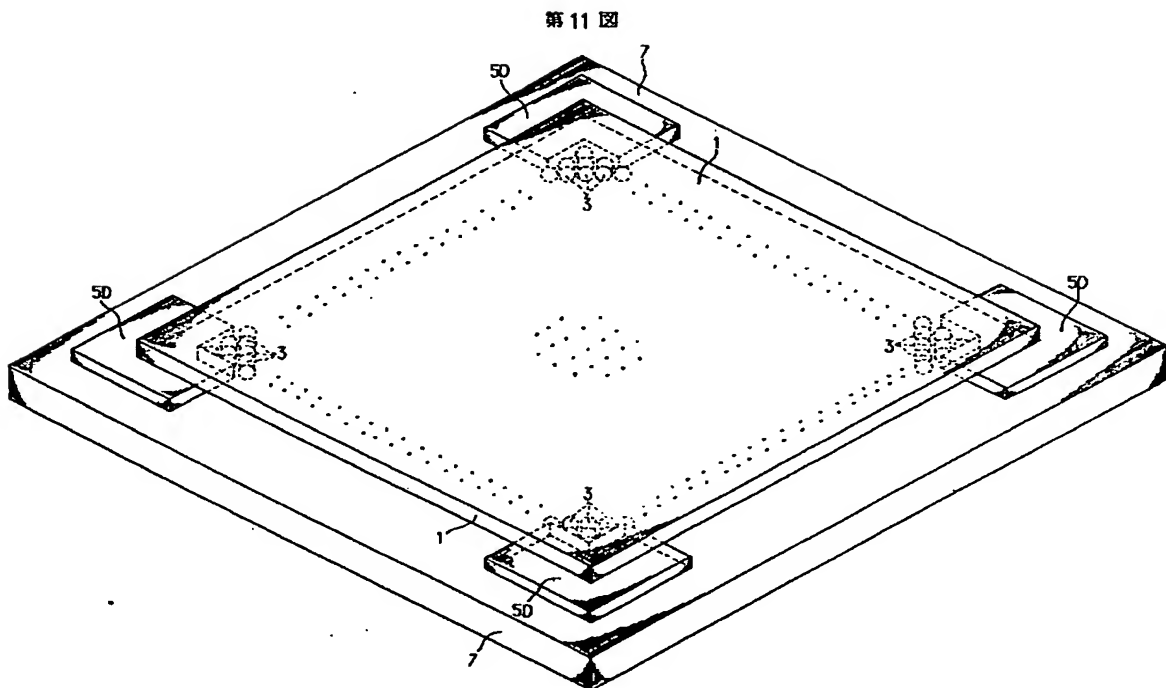
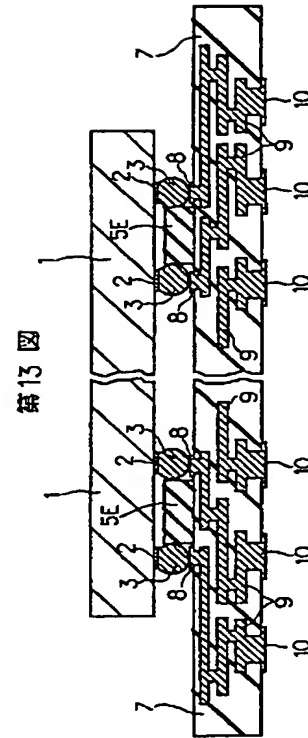
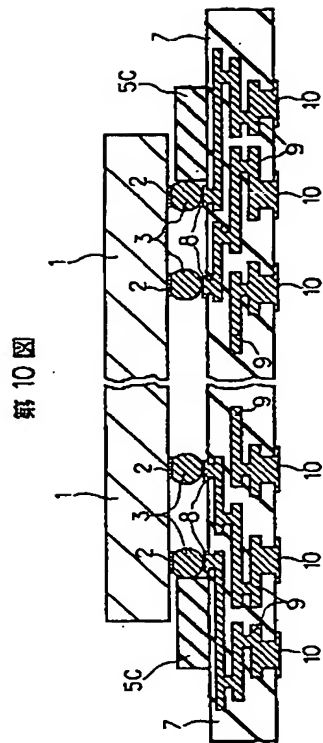
第8図



第9図

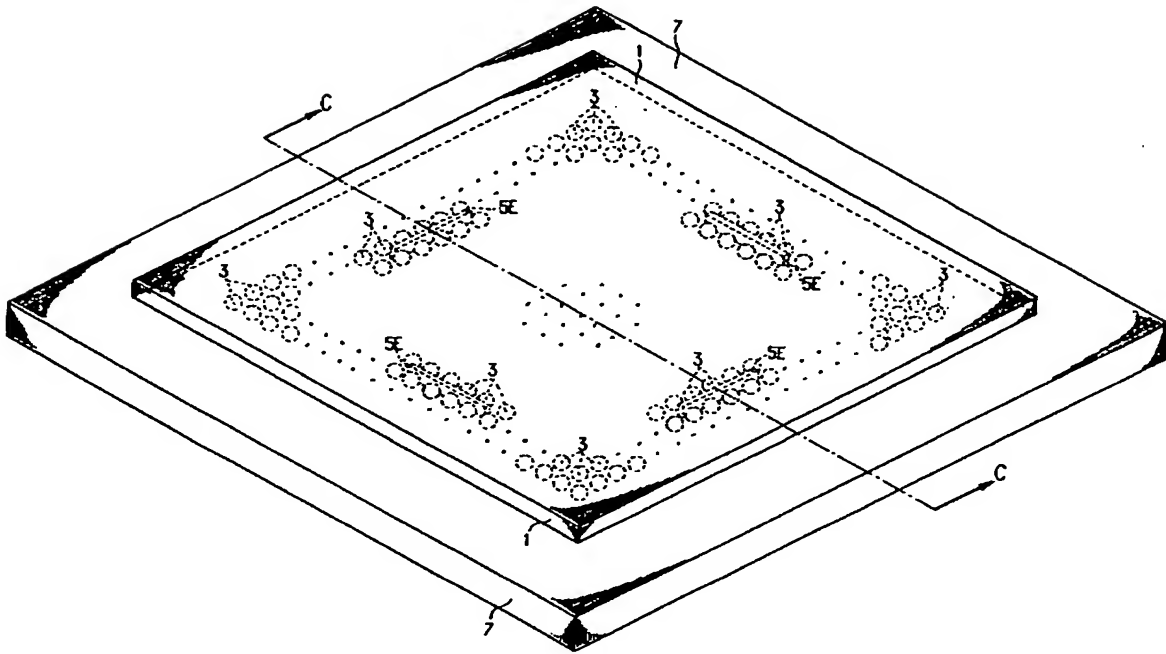


特開平3-270030 (11)

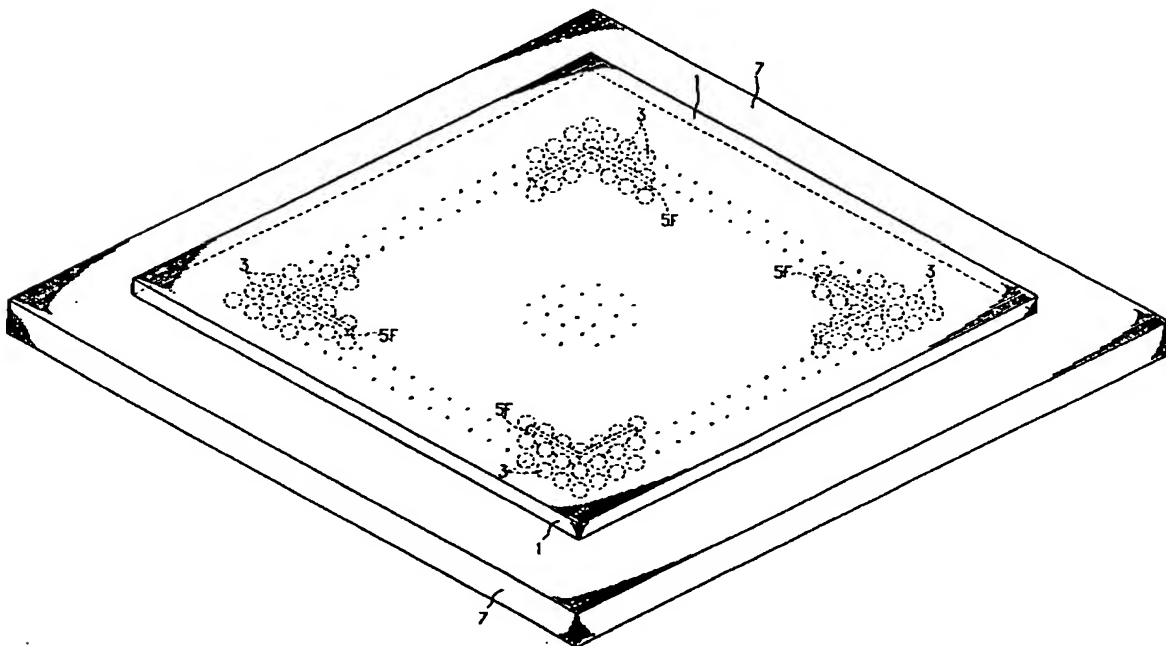


特開平3-270030 (12)

第12図

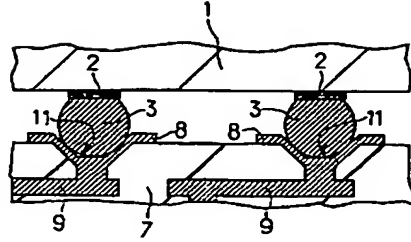


第14図

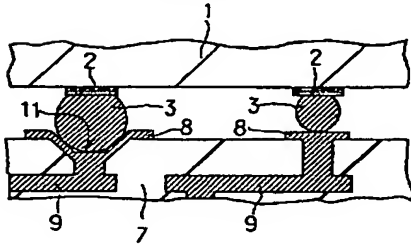


特開平3-270030 (13)

第15図



第16図



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**